

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-113646  
(43)Date of publication of application : 15.05.1991

(51)Int.Cl.

G06F 11/28  
G06F 11/22

(21)Application number : 01-252598  
(22)Date of filing : 28.09.1989

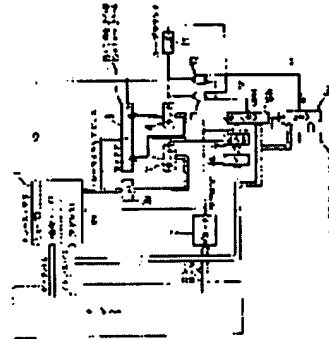
(71)Applicant : YOKOGAWA ELECTRIC CORP  
(72)Inventor : ITO TADASHI

## (54) TRACE CIRCUIT

(57)Abstract:

PURPOSE: To effectively use a memory by detecting a loop which is previously registered on a real time basis when it exists in the middle of trace and preventing the execution part of the loop from being stored overlapping in the trace memory.

CONSTITUTION: When a real execution address reaches a loop leading address which is previously registered in a loop address register 5, it is detected whether it reaches the address for the first time as the result of the sequential execution of the program or as the result of branching to the head of the loop by a branching command for executing the loop. When it branches to the head of the loop, the execution result is not written into the new address of the trace memory 1 but it is overwritten in the address where data obtained when the loop is sequentially executed for the first time is stored. Thus, the substantial decrease of effective trace data owing to the execution of the loop is prevented and the trace memory is used at a maximum.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-113646

⑬ Int.Cl.<sup>9</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)5月15日

G 06 F 11/28  
11/22

3 1 0 B  
3 4 0 A

8522-5B  
7343-5B

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 トレース回路

⑯ 特 願 平1-252598

⑰ 出 願 平1(1989)9月28日

⑱ 発 明 者 伊 藤 直 史 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内  
⑲ 出 願 人 横河電機株式会社 東京都武蔵野市中町2丁目9番32号  
⑳ 代 理 人 弁理士 小沢 信助

明 細 書

1. 発明の名称

トレース回路

2. 特許請求の範囲

ターゲットシステムにプログラムを実行させ、  
該ターゲットシステムのバスアクセスをモニター  
しながらデータバスおよびアドレスバスの状態を  
トレースメモリに記録するトレース回路において、

トレース開始から終了に至るまでに実行される  
ループの先頭アドレスを記憶しているループアド  
レスレジスタ(5)と、

該ループアドレスレジスタ(5)の記憶してい  
るループ先頭アドレスと、ターゲットシステムの  
アドレスバスの現在のアドレスとの一致を検出す  
る比較器(6a)と、

該比較器(6a)により一致が検出された場合  
に、該現在のアドレスの前記トレースメモリへの  
書き込みアドレスを保持する記憶回路(8)と、

前記比較器(6a)により一致が検出された場  
合に前記現在のアドレスが直前のアドレスに連続

するアドレスであるか、あるいは不連続なアドレ  
スであるかを検出する比較器(6b)と、

該比較器(6b)により現在のアドレスと直前  
のアドレスとが不連続であることが検出された場  
合、前記記憶回路が保持しているアドレスを前記  
トレースメモリへの書き込みアドレスとして選択す  
るセレクト(9)とを有することを特徴とするト  
レース回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はトレース回路に関し、特に、マイクロ  
プロセッサ用インサーキットエミュレータ等に具  
備されるプログラム実行トレース回路に関する。

(従来の技術)

従来のインサーキットエミュレータのトレース  
回路は、トレース開始から常にマイクロプロセッ  
サのバスアクセスをトレースし、トレースメモリ  
(通常、数Kステップ程度を記憶可能)にサイク  
リックに記憶していき、トレース終了条件が成立  
した時にトレースメモリへの書き込みを停止するよ

特開平3-113646(2)

うになっている。

(発明が解決しようとする課題)

調べたい個所とトレース終了条件が成立する個所の間では、通常の場合、多くの命令が実行される。その間でループが実行されると、従来の方法では、ループの実行結果ばかりがトレースメモリに残ることになり、調べたい個所をトレースできない場合があった。

例えば第5図(a)に示すように、トレース条件が成立するまでにループ(G-H間)を何回も実行する必要があるとする。この場合、トレースメモリにプログラム実行結果をすべて書込んでいき、容量オーバーとなると最初のメモリアドレスに戻ってオーバーライトしていくとすると、最終的にはループの実行結果ばかりが記録され、調べたい個所Fの実行結果は消えてしまい、トレースできない。

また、このような問題を回避するためには大量のトレースメモリが必要となり、回路規模が大型化し、専有面積の増大を招く等の問題があった。

憶回路が保持しているアドレスを前記トレースメモリへの書込みアドレスとして選択するセレクトとを有することを特徴とする。

(作用)

あらかじめループアドレスレジスタに登録されているループ先頭アドレスに実際の実行アドレスが到達すると、それがプログラムをシーケンシャルに実行した結果始めて到達したものであるか、あるいはループを実行するために分岐命令によってループ先頭に分岐してきた結果であるかを検出し、ループ先頭に分岐してきた場合には、この実行結果をトレースメモリの新たな番地に番込まず、一番最初にシーケンシャルに実行した時のデータが記憶されている番地にオーバーライトすることにより、ループの実行部分が重複してトレースメモリに記録されないようにし、メモリの有効利用を達成する。

(実施例)

次に、本発明の実施例について図面を参照して説明する。

本発明は上述した問題点に鑑みてなされたものであり、その目的は、ループの実行による有効なトレースデータの実質的な減少を防止し、トレースメモリを最大限に活用できるトレース回路を提供することにある。

(課題を解決するための手段)

本発明のトレース回路は、トレース開始から終了に至るまで実行されるループの先頭アドレスを記憶しているループアドレスレジスタと、該ループアドレスレジスタの記憶しているループ先頭アドレスと、ターゲットシステムのアドレスバスの現在のアドレスとの一致を検出する比較器と、該比較器により一致が検出された場合に、該現在のアドレスの前記トレースメモリへの書込みアドレスを保持する記憶回路と、前記比較器により一致が検出された場合に前記現在のアドレスが直前のアドレスに連続するアドレスであるか、あるいは不連続なアドレスであるかを検出する比較器と、該比較器により現在のアドレスと直前のアドレスとが不連続であることが検出された場合、前記記

第1図は本発明のトレース回路の一実施例のブロック図である。

本実施例は、ターゲットマイクロプロセッサのデータベースおよびアドレスバスの状態を記録するトレースメモリ1と、命令フェッチサイクルであることを検出するデコード2と、現在実行中の命令アドレスに1を加算する加算器3aと、そのアドレスを保持するラッチ4と、ループ先頭アドレスを保持するループアドレスレジスタ5と、現在の命令アドレスを、直前の命令アドレスに1を加算したものおよびループ先頭アドレスと比較して一致を検出するコンパレータ6b、6aと、トレースメモリへの書込みアドレスを保持するラッチ7と、ループ先頭アドレスをトレースメモリに書込んだときのトレースメモリアドレスを保持するラッチ8と、トレースメモリアドレスを通常の命令実行の場合と、ループ先頭への分岐が起きた場合とで切り換えるセレクト9と、次のトレースメモリアドレスを生成するための加算器3bと、ループの回数をカウントするループカウンタ11と

## 特開平3-113646(3)

から構成されている。

以上の回路により、通常の命令実行では、トレースメモリアドレスを+1ずつインクリメントしながら、トレースを行い、ループ先頭命令をシーケンシャルに実行した場合には、その時のトレースメモリアドレスを記憶し（ラッチ8）、ループ先頭命令へ分岐して来て実行した場合には、トレースメモリアドレスを、前にループ先頭命令を格納したトレースメモリアドレス（ラッチ8の内容）に設定することにより、ループ実行部分は最新の実行結果のみトレースする機能を実現したものである。

各回路の機能は以下のとおりである。

トレースメモリ1は、データ、アドレスおよびループ先頭に分岐してきたことを示すビットを記憶する。

デコーダ2は、命令フェッチサイクルであればFETCHをLOWにする。

加算器3a、3bはアドレスに1を加算する。

ラッチ4は、直前の命令フェッチサイクルのアド

ドレス+1を保持する。

ループアドレスレジスタ5には、ループ先頭アドレスを設定しておく。

コンパレータ6a、6bは、アドレスの一致を検出するFETCHにより制御され、命令フェッチサイクルでのみ動作する。

ラッチ7は、トレースメモリの書込みアドレスを保持する。

ラッチ8は、ループ先頭が実行されたときのトレースメモリアドレスを保持する。

セレクト9は、通常はラッチ7のアドレスをトレースメモリアドレスとして与える。ループ先頭へ分岐してきた場合は、ラッチ8をセレクトする。

ループカウンタ11は、ループの実行回数をカウントする。

次に、本実施例の動作を第2図および第3図を用いて具体的に説明する。

#### (1) ループ先頭をシーケンシャルに実行した場合

ループアドレスレジスタ5に設定されているループ先頭アドレスNと現在のアドレスとが一致

すると比較器6aから出力される信号HITが一時的にローレベルとなる（すなわち負パルスが出力される）。また、現在のアドレスとラッチ4の出力（直前のアドレス+1）とが共にNであり、一致しているため、CONTもローレベルとなって負パルスが出力される。これにより、ナンドゲートT1の出力がローレベルとなってサンプリングパルスがラッチ8に供給され、ループ先頭データを格納したトレースメモリのアドレスTがこのラッチ8に保持される。

すなわち、ナンドゲートT2の出力はハイレベル（"1"）であるため、セレクトの出力YはA端子の入力（ラッチ7の出力T）に等しくこのラッチ7の出力Tがトレースメモリへの書込みアドレスとなり、一方で、このアドレスTが後のループ実行に備えてラッチ8に保持される。

#### (2) ループ先頭に分岐してきた場合

この場合、ループ先頭アドレス（現在のアドレス）Nとラッチ4の出力アドレスM+1とが一致しないためCONTはハイレベルを維持する。こ

れにより、ナンドゲートT2の出力がローレベル（"0"）となってセレクト9はラッチ8の出力アドレスを選択する。すなわち、ラッチ8の内容Tがトレースメモリの書込みアドレスとなり、ラッチ7にT+1をロードして、以下シーケンシャルに実行した場合と同じアドレスにデータがオーバーライトされる。

第4図（a）、（b）は本実施例のトレース動作の一例を示す図である。

同図（a）のようなプロセッサ動作が行なわれる場合、ループが実行される部分B、Dは、最新のループ実行結果のみがトレースメモリに残り、それ以前のものはオーバーライトされる（同図（b））。

この場合、ループカウンタ11は、トレース終了後、ループDのループ実行回数を保持している。

また、ループB、Dの先頭では、ループ先頭への分岐があったことを示すビットがオンになっている。

以上、本発明を実施例を用いて説明したが、本

発明はこれに限定されるものでなく、種々、変形、応用が可能である。例えば、ループアドレスレジスタを含む検出回路を複数設け、多重ループおよび複数シーケンシャルループにも対応可能とすることもできる。

また、本発明はインサートエミュレータのトレース回路だけではなく、例えば、マイクロプログラムのトレース回路等にも利用できる。

### (発明の効果)

以上説明したように本発明は、トレース中に、あらかじめ登録しておいたループがあると、これをリアルタイムに検出して、ループの実行部分が重複してトレースメモリに記録されないようにすることにより、メモリを有効に利用するトレース機構を実現できる効果がある。

これにより、従来のトレース機能ではとらえられなかった現象も、トレースメモリの容量を増大させることなくトレースすることが可能となる。

#### 4. 図面の簡単な説明

第 1 図は本発明のトレース回路の一実施例のブ

ロック図、

第2図はループ先頭をシーケンシャルに実行した場合の動作を説明するためのタイミングチャート、

第3図はループ先頭に分岐してきた場合の動作を説明するためのタイミングチャート、

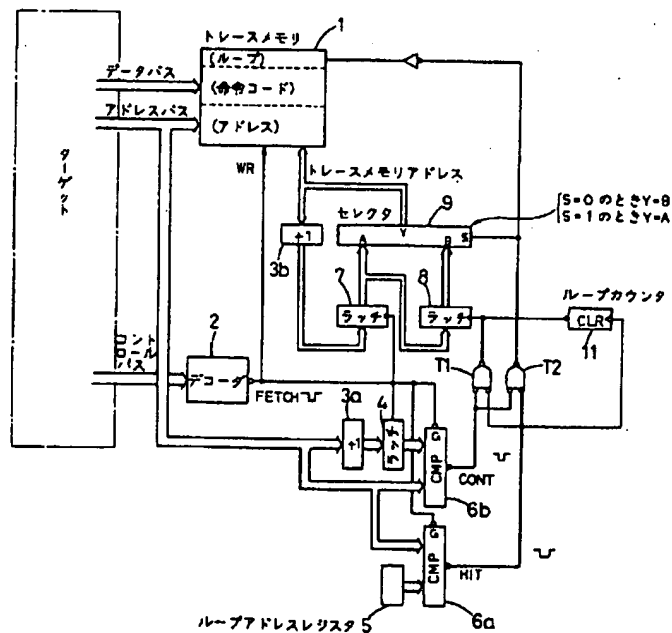
第4図(a)，(b)は第1図の実施例のトレース動作の一例を示す図であり、(a)はターゲットプロセッサの動作、(b)はトレースメモリの内容を示す図であり、

第5図（a）、（b）は従来例のトレース動作の一例を示す図である。

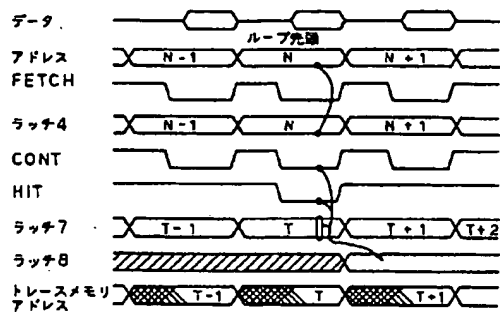
- 1…トレースメモリ      2…デコーダ  
3 a. 3 b…1加算器      4…ラッチ  
5…ループアドレスレジスタ  
6 a. 6 b…比較器      7. 8…ラッチ  
9…セレクト      11…ループカウンタ

特許出願人 横 河 電 機 株 式 会 社  
代 理 人 弁 理 士 小 沢 信 助

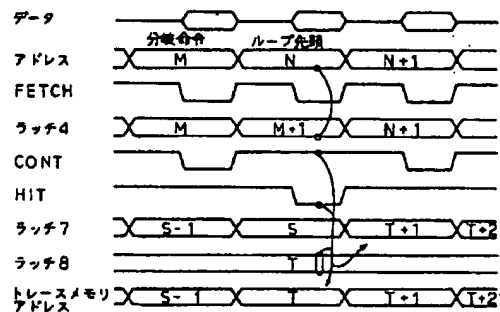
第 1 图



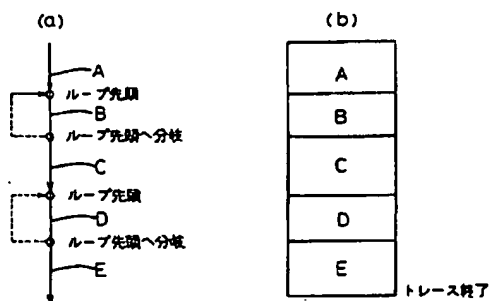
第 2 図



第 3 図



第 4 図



第 5 図

